

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-260833

(43)Date of publication of application : 24.09.1999

(51)Int.Cl.

H01L 21/338
H01L 29/812
H01L 27/04
H01L 21/822
H01L 29/41
H01L 21/331
H01L 29/73
H01L 27/095

(21)Application number : 10-064867

(71)Applicant :

MURATA MFG CO LTD

(22)Date of filing : 16.03.1998

(72)Inventor :

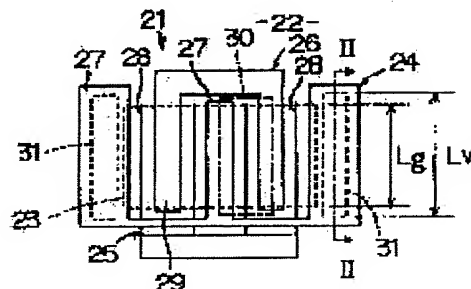
KISHIMOTO TAKANORI

(54) HIGH OUTPUT SEMICONDUCTOR DEVICE AND ITS DESIGN METHOD AND SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To restrain thermal interference to or from the periphery and realize easy design in a high output semiconductor device, such as a field effect transistor(FET) constituted of a source electrode, a gate electrode and a drain electrode with a comb-like structure.

SOLUTION: In an FET 21 as an example of a high output semiconductor device, a via hole 31 for electrically connecting a plurality of unit FETs 30 which are connected parallel and constituted of a source electrode 24, a gate electrode 25 and a drain electrode 26 of a comb-like structure provided to one main surface side of a semiconductor board 22 and a conductive film at the other main surface side of the semiconductor board 22, is positioned along an outside of a gate finger 28 positioned in an end part and a dimension L_v of the via hole 31 at the one main surface side of the semiconductor board 22 measured in a direction parallel with respect to the longitudinal direction of the gate finger 29 is made at least a gate finger length L_g .



LEGAL STATUS

[Date of request for examination]

12.04.2004

[Date of sending the examiner's decision of rejection]

06.12.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-260833

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/338

H 0 1 L 29/80

L

29/812

27/04

H

27/04

29/44

Z

21/822

29/72

29/41

29/80

U

審査請求 未請求 請求項の数 5 O L (全 7 頁) 最終頁に続く

(21) 出願番号

特願平10-64867

(22) 出願日

平成10年(1998) 3月16日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 岸本 恭徳

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

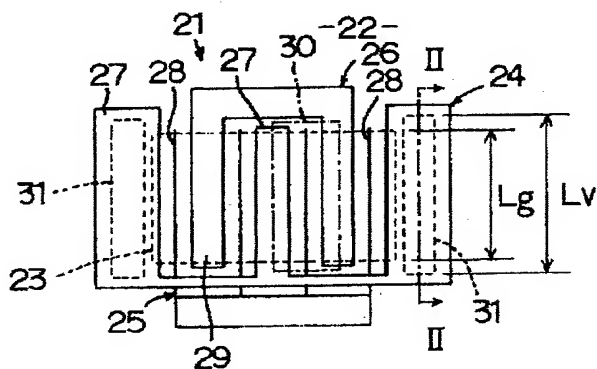
(74) 代理人 弁理士 小柴 雅昭 (外1名)

(54) 【発明の名称】 高出力半導体デバイスおよびその設計方法ならびに半導体集積回路

(57) 【要約】

【課題】 櫛形構造を有するソース電極、ゲート電極およびドレイン電極をもって構成されるFETのような高出力半導体デバイスにおいて、周囲への、あるいは周囲からの熱的干渉を抑制し、設計を容易なものとする。

【解決手段】 高出力半導体デバイスの一例としてのFET 21において、半導体基板22の一方主面側に設けられた櫛形構造のソース電極24、ゲート電極25およびドレイン電極26によって構成された複数の並列接続された単位FET 30と半導体基板22の他方主面側の導電膜32とを電気的に接続するためのバイアホール31を、端部に位置するゲートフィンガ28の外側に沿って位置させるとともに、ゲートフィンガ29の長手方向に対して平行な方向に測定した、半導体基板22の一方主面側でのバイアホール31の寸法 L_v を、ゲートフィンガ長 L_g 以上の長さとする。



【特許請求の範囲】

【請求項 1】 半導体基板と、電界効果トランジスタまたは高電子移動度トランジスタを構成するように前記半導体基板の一方主面側に設けられるソース電極、ゲート電極およびドレイン電極とを備え、

前記ソース電極、前記ゲート電極および前記ドレイン電極は、それぞれ、複数のソースフィンガ、複数のゲートフィンガおよび複数のドレインフィンガを形成する櫛形構造を有して、

前記ソースフィンガ、前記ゲートフィンガおよび前記ドレインフィンガの各組が、それぞれ、単位電界効果トランジスタまたは単位高電子移動度トランジスタを構成するとともに、複数の前記単位電界効果トランジスタまたは単位高電子移動度トランジスタが、前記ソース電極、前記ゲート電極および前記ドレイン電極によって互いに並列接続され、

前記半導体基板には、前記単位電界効果トランジスタまたは単位高電子移動度トランジスタと当該半導体基板の他方主面側とを電気的に接続するためのバイアホールが形成されている、高出力半導体デバイスであって、

前記バイアホールは、前記複数のゲートフィンガの配列における各端部に位置するものの少なくとも一方のゲートフィンガの外側に沿って形成され、かつ、前記ゲートフィンガの長手方向に対して平行な方向に測定した、前記半導体基板の前記一方主面側での前記バイアホールの寸法は、ゲートフィンガ長以上の長さを有していることを特徴とする、高出力半導体デバイス。

【請求項 2】 半導体基板と、ヘテロ・バイポーラトランジスタを構成するように前記半導体基板の一方主面側に設けられるエミッタ電極、ベース電極およびコレクタ電極とを備え、

前記エミッタ電極、前記ベース電極および前記コレクタ電極は、それぞれ、複数のエミッタフィンガ、複数のベースフィンガおよび複数のコレクタフィンガを形成する櫛形構造を有して、

前記エミッタフィンガ、前記ベースフィンガおよび前記コレクタフィンガの各組が、それぞれ、単位ヘテロ・バイポーラトランジスタを構成するとともに、複数の前記単位ヘテロ・バイポーラトランジスタが、前記エミッタ電極、前記ベース電極および前記コレクタ電極によって互いに並列接続され、

前記半導体基板には、前記単位ヘテロ・バイポーラトランジスタと当該半導体基板の他方主面側とを電気的に接続するためのバイアホールが形成されている、高出力半導体デバイスであって、

前記バイアホールは、前記複数のエミッタフィンガの配列における各端部に位置するものの少なくとも一方のエミッタフィンガの外側に沿って形成され、かつ、前記エミッタフィンガの長手方向に対して平行な方向に測定した、前記半導体基板の前記一方主面側での前記バイアホ

ールの寸法は、エミッタフィンガ長以上の長さを有していることを特徴とする、高出力半導体デバイス。

【請求項 3】 請求項 1 または 2 に記載の高出力半導体デバイスをユニットセルとして、前記バイアホールを共通にして複数の前記ユニットセルが並列接続されている、高出力半導体デバイス。

【請求項 4】 請求項 1 ないし 3 のいずれかに記載の高出力半導体デバイスを設計する方法であって、

請求項 1 または 2 に記載の高出力半導体デバイスであって、平面構造の互いに異なる高出力半導体デバイスを複数種類作製する工程と、

複数種類の前記高出力半導体デバイスの各特性を測定する工程と、

目的とする高出力半導体デバイスの平面構造として、複数種類の前記高出力半導体デバイスから選ばれた、所望の特性を得るために必要な高出力半導体デバイスの平面構造を採用する工程とを備える、高出力半導体デバイスの設計方法。

【請求項 5】 請求項 1 ないし 3 のいずれかに記載の高出力半導体デバイスに備える前記半導体基板に関連して、他の回路素子がさらに構成された、半導体集積回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 この発明は、電界効果トランジスタ（以下、「FET」と言う。）、高電子移動度トランジスタ（以下、「HEMT」と言う。）、およびヘテロ・バイポーラトランジスタ（以下、「HBT」と言う。）のように、高周波高出力回路に使用され得る高出力半導体デバイスおよびその設計方法、ならびに高出力半導体デバイスを備える半導体集積回路に関するものである。

【0002】

【従来の技術】 図 5 には、この発明にとって興味ある従来の高出力 FET 1 が図解的に平面図で示されている。FET 1 は、半導体基板 2 と、この半導体基板 2 の一方主面側に設けられるソース電極 3、ゲート電極 4 およびドレイン電極 5 とを備えている。これらソース電極 3、ゲート電極 4 およびドレイン電極 5 は、それぞれ、複数のソースフィンガ 6、複数のゲートフィンガ 7 および複数のドレインフィンガ 8 を形成する櫛形構造を有している。

【0003】 ソースフィンガ 6、ゲートフィンガ 7 およびドレインフィンガ 8 の各組は、それぞれ、単位 FET 9 を構成する。また、複数の単位 FET 9 は、上述したように櫛形構造を有するソース電極 3、ゲート電極 4 およびドレイン電極 5 によって互いに並列接続されている。また、半導体基板 2 には、単位 FET 9 とこの半導体基板 2 の他方主面側とを電気的に接続するためのバイアホール 10 が形成されている。バイアホール 10 は、

このFET1においては、ソースパッド11の下に形成される。

【0004】図6は、この発明にとって興味ある従来の他のFET1aを図解的に示す平面図である。図6において、図5に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。図6に示したFET1aは、複数のソースフィンガ6の配列における端部に位置するソースフィンガ6の下にバイアホール10が形成されている点において、図5に示したFET1と大きく異なっている。

【0005】これらのFET1または1aにおいて、バイアホール10をソースパッド11またはソースフィンガ6の下に位置させているのは、利得を低減させる成分であるソースインダクタンスを低減することを目的としており、これによって、利得の低下を防ぐ効果がある。

【0006】

【発明が解決しようとする課題】上述したようなFET1または1aにおいて高出力を得るには、複数の単位FET9を並列接続すればよい。また、FET1または1aは、電子が走行するチャネル部で自己発熱し、温度上昇する。多数のゲートフィンガ7が並んだ櫛形構造のゲート電極4を有する高出力FET1または1aでは、各ゲートフィンガ7の部分で発熱するため、より高温になる。このように、FET1または1aのような高出力半導体デバイスが高温になると、その特性が悪化するため、温度上昇を防ぐ技術または放熱を促進させる技術が必要である。

【0007】また、FETのさらなる高出力化を図るには、一般には、図5または図6に示したようないくつかの単位FET9を並列接続したFET1または1aをユニットセルとし、これを複数並列接続することが行なわれている。しかしながら、この場合には、1つのユニットセルにおける温度上昇は、自己発熱による温度上昇だけでなく、近くのユニットセルからの温度上昇に影響される。このため、設計段階においてデバイスの特性を予想することが困難であり、デバイスの設計に長時間を要したり、あるいは、過剰に余裕を持たせた設計としなければならない。この問題を回避するためには、たとえば、ユニットセル同士の間隔を広げて、上述した近くのユニットセルからの温度上昇による影響を抑えることも可能であるが、この場合には、デバイスサイズが大きくなってしまいうという別の問題に遭遇する。

【0008】同様のことが、FETまたはユニットセル同士の接続の場合だけでなく、FETと他の回路素子との接続の場合にも言える。すなわち、FETと他の回路素子（インダクタ、キャパシタ、抵抗等）とを備える半導体集積回路において、高出力FETの近くに配置された回路素子は、FETの発熱により温度上昇し、この温度変化により、回路素子の特性が変化する。そのため、設計に用いた回路シミュレーション結果との間で食い違

いを生じ、回路設計を困難にさせる。

【0009】以上、FETに関連して説明したが、同様のことが、HEMTまたはHBTの場合にも当てはまる。そこで、この発明の目的は、上述した要望を満たし、あるいは問題を解決し得る、高出力半導体デバイスおよびその設計方法、ならびにこのような高出力半導体デバイスを備える半導体集積回路を提供しようとすることである。

【0010】

【課題を解決するための手段】この発明に係る高出力半導体デバイスは、半導体基板と、電界効果トランジスタまたは高電子移動度トランジスタを構成するように半導体基板の一方主面側に設けられるソース電極、ゲート電極およびドレイン電極とを備え、これらソース電極、ゲート電極およびドレイン電極は、それぞれ、複数のソースフィンガ、複数のゲートフィンガおよび複数のドレインフィンガを形成する櫛形構造を有していて、また、ソースフィンガ、ゲートフィンガおよびドレインフィンガの各組が、それぞれ、単位電界効果トランジスタまたは単位高電子移動度トランジスタを構成するとともに、複数の単位電界効果トランジスタまたは単位高電子移動度トランジスタが、ソース電極、ゲート電極およびドレイン電極によって互いに並列接続され、さらに、半導体基板には、単位電界効果トランジスタまたは単位高電子移動度トランジスタと当該半導体基板の他方主面側とを電気的に接続するためのバイアホールが形成されている、そのような高出力半導体デバイスであって、上述した技術的課題を解決するため、バイアホールは、複数のゲートフィンガの配列における各端部に位置するものの少なくとも一方のゲートフィンガの外側に沿って形成され、かつ、ゲートフィンガの長手方向に対して平行な方向に測定した、半導体基板の一方主面側でのバイアホールの寸法は、ゲートフィンガ長以上の長さを有していることを特徴としている。

【0011】この発明は、また、次のような構成の高出力半導体デバイス、すなわち、半導体基板と、ヘテロ・バイポーラトランジスタを構成するように半導体基板の一方主面側に設けられるエミッタ電極、ベース電極およびコレクタ電極とを備え、これらエミッタ電極、ベース電極およびコレクタ電極は、それぞれ、複数のエミッタフィンガ、複数のベースフィンガおよび複数のコレクタフィンガを形成する櫛形構造を有していて、また、エミッタフィンガ、ベースフィンガおよびコレクタフィンガの各組が、それぞれ、単位ヘテロ・バイポーラトランジスタを構成するとともに、複数の単位ヘテロ・バイポーラトランジスタが、エミッタ電極、ベース電極およびコレクタ電極によって互いに並列接続され、さらに、半導体基板には、単位ヘテロ・バイポーラトランジスタと当該半導体基板の他方主面側とを電気的に接続するためのバイアホールが形成されている、そのような高出力半導

体デバイスにも向けられる。この場合、上述した技術的課題を解決するため、バイアホールは、複数のエミッタフィンガの配列における各端部に位置するものの少なくとも一方のエミッタフィンガの外側に沿って形成され、かつ、エミッタフィンガの長手方向に対して平行な方向に測定した、半導体基板の一方主面側でのバイアホールの寸法は、エミッタフィンガ長以上の長さを有していることを特徴としている。

【0012】上述した2つの典型的な高出力半導体デバイスをユニットセルとしながら、バイアホールを共通にしてこれら複数のユニットセルが並列接続されていてもよい。この発明は、また、上述したような高出力半導体デバイスを設計する方法にも向けられる。この設計方法は、上述した高出力半導体デバイスであって、平面構造の互いに異なる高出力半導体デバイスを複数種類作製する工程と、これら複数種類の高出力半導体デバイスの各特性を測定する工程と、目的とする高出力半導体デバイスの平面構造として、複数種類の高出力半導体デバイスから選ばれた、所望の特性を得るために必要な高出力半導体デバイスの平面構造を採用する工程とを備えることを特徴としている。

【0013】この発明は、また、上述したような高出力半導体デバイスに備える半導体基板に関連して、他の回路素子がさらに構成された、半導体集積回路にも向けられる。

【0014】

【発明の実施の形態】図1は、この発明の一実施形態によるFET21を図解的に示す平面図である。図2は、図1の線1-1に沿う断面図である。FET21は、たとえばGaAs基板のような半導体基板22を備えている。この半導体基板22の一方主面側には、たとえばエピタキシャル成長またはイオン注入により活性層23が形成される。また、半導体基板22の一方主面側であって、活性層23が形成された領域上には、たとえばフォトリソグラフィ技術を用いて、オーミック特性を持つソース電極24、ショットキー特性を持つゲート電極25、およびオーミック特性を持つドレイン電極26がそれぞれ形成され、さらに、その他、必要な接続用配線、保護膜等が形成される。

【0015】ソース電極24、ゲート電極25およびドレイン電極26は、それぞれ、複数のソースフィンガ27、複数のゲートフィンガ28および複数のドレインフィンガ29を形成する櫛形構造を有している。これらのソースフィンガ27、ゲートフィンガ28およびドレインフィンガ29の各組は、それぞれ、単位FET30を構成する。また、複数の単位FET30は、上述したように櫛形構造を有するソース電極24、ゲート電極25およびドレイン電極26によって互いに並列接続される。

【0016】他方、半導体基板22の他方主面側には、

たとえばウェットエッチングもしくはドライエッチングまたはこれら両方の組み合わせによるエッチングが施され、この部分に金属膜を形成することによって、バイアホール31が設けられる。バイアホール31は、上述した単位FET30と半導体基板22の他方主面側に形成された導電膜32とを電氣的に接続するためのものである。バイアホール31を形成するため、上述した金属膜に代えて、金属を充填してもよい。

【0017】バイアホール31は、複数のゲートフィンガ28の配列における両端部に位置するゲートフィンガ28の各外側に沿ってそれぞれ形成される。この実施形態では、複数のソースフィンガ27の配列における両端部に位置する各ソースフィンガ27の下に、バイアホール31がそれぞれ位置される。バイアホール31の寸法において、ゲートフィンガ28の長手方向に対して平行な方向に測定した、半導体基板22の一方主面側での寸法Lvが重要である。すなわち、このバイアホール31の寸法Lvは、ゲートフィンガ長（単位ゲート幅）Lg以上の長さを有するように設定される。より詳細には、バイアホール31のこの特定の寸法Lvは、ゲートフィンガ長Lgと等しいかそれよりも長くされる。

【0018】このように構成された高出力FET21は、ゲート電極25直下の半導体基板22の表面付近で発熱する。ここで生じた熱は、半導体基板22内をほぼ等方的に熱伝導する。この実施形態によれば、最も外側のゲートフィンガ28に沿って、ゲートフィンガ長Lg以上の寸法Lvを有するバイアホール31を位置させているため、多くの熱流をバイアホール31を介して放熱させることができる。もちろん、これらバイアホール31は、従来のように、ソースインダクタンスを低減させる機能をも果たしている。

【0019】図3は、この発明の他の実施形態に係るFET21aを示す、図1に相当する図である。図3に示したFET21aは、バイアホール31が、複数のゲートフィンガ28の配列における各端部に位置するものの一方のゲートフィンガ28の外側にのみ沿って形成されていることを特徴としている。その他の構成は、図1に示したFET21と実質的に同様である。

【0020】図3に示した実施形態は、当該FET21aと他のFETまたは回路素子との位置関係によっては、必ずしも、複数のゲートフィンガ28の配列における両端部に位置するゲートフィンガ28のそれぞれの外側に沿って、バイアホール31が形成される必要がないことを示すものである。図4は、この発明のさらに他の実施形態によるFET21bを示す、図1に相当する図である。

【0021】図4に示したFET21bは、図1に示したFET21をユニットセル33および34として、これら複数のユニットセル33および34が、バイアホール31を共通にして並列接続された構造を有している。

図4において、図1に示す要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。図4に示すように、第1のユニットセル33と第2のユニットセル34との間に、前述したような寸法関係を有するバイアホール31が設けられているため、第1のユニットセル33と第2のユニットセル34との間での熱の伝導量を小さくすることができ、互いの間での熱的干渉を抑制することができる。

【0022】図4に示したFET21bの設計は、次のように行なうことができる。たとえば、ゲートフィンガ数が異なり、ゲート長、ゲートフィンガ長、その他の平面構造パラメータが等しいユニットセルを複数種類作成する。そして、これらのユニットセルのデバイス特性(DC: I-V特性、RF: 入出力電力特性等)を、各ユニットセルごとに測定する。次いで、これらの特性測定済みの複数種類のユニットセルから、所望の特性を得るために必要なユニットセルを選択し、これら選択されたユニットセルの平面構造を、目的とするユニットセルの平面構造として採用する。

【0023】具体例を挙げると、ゲートフィンガ数が互いに異なる第1、第2および第2のユニットセルを作製し、これらユニットセルのRF出力電力を測定する。その測定結果が、第1、第2および第2のユニットセルについて、それぞれ、 P_{o1} 、 P_{o2} および P_{o3} であったとする。他方、目的とするFETの電力仕様が P_{o0} であり、

$$P_{o0} = P_{o1} + P_{o3} * 2$$

と表せるならば、1個の第1のセルと2個の第3のセルとをバイアホールを共通にするように並列接続することによって、目的とするFETを実現することができる。

【0024】FETの電力特性には、温度依存性があり、周囲温度が変われば、出力電力も変化する。しかしながら、たとえば図4に示したFET21bのように、この発明に係るFETでは、ユニットセルの相互間に放熱効果の優れたバイアホールが存在するため、各ユニットセルは、これと隣り合うユニットセルからの温度上昇の影響をほとんど受けない。したがって、いくつかのユニットセルを並列接続して構成される高出力FETにおいて、ユニットセルごとに測定した出力電力を各々足し合わせた電力値、あるいは、足し合わせた電力値に極めて近い値を得ることができる。また、ユニットセルの組み合わせを変更することによって、様々な出力電力をもつ高出力FETを容易に設計でき、かつ実現することができる。

【0025】この発明に係る高出力FETに備える半導体基板に関連して、たとえば、スパイラルインダクタ、MIMキャパシタ、薄膜抵抗等の回路素子をさらに構成して、たとえば高出力増幅器のような半導体集積回路を構成することもできる。この場合、スパイラルインダクタ、MIMキャパシタ、薄膜抵抗等の回路素子も、FET

と同様に、温度によって特性が変化する。一般に、回路設計は回路シミュレーションによって行なわれるが、これらの回路素子を、発熱により比較的高温となる高出力FETの近くに配置すると、これら回路素子は、回路シミュレーション時とは特性が変化し、設計値と実際の回路特性との間に差を生じさせることがある。従来、これを防ぐには、これらの回路素子を、発熱源となる高出力FETから離して配置しなければならず、その結果、集積回路チップの面積が大きくなってしまふ。

【0026】これに対して、この発明に係る半導体集積回路によれば、バイアホールを介しての熱伝導がほとんど生じないため、上述のような回路素子を高出力FETの近くに問題なく配置することができる。また、このように高出力FETの近くに配置した回路素子の回路特性についても、シミュレーション値に極めて近い値を得ることができる。

【0027】以上、この発明を、FETに関連して説明したが、同様のことが、HEMTについても言え、また、ソース電極、ゲート電極およびドレイン電極を、それぞれ、コレクタ電極、エミッタ電極およびベース電極に置き換えることにより、HBTにも適用することができる。

【0028】

【発明の効果】以上のように、この発明に係る高出力半導体デバイスによれば、バイアホールが、複数のゲートフィンガまたはエミッタフィンガの配列における各端部に位置するものの少なくとも一方のゲートフィンガまたはエミッタフィンガの外側に沿って形成され、かつ、ゲートフィンガまたはエミッタフィンガの長手方向に対して平行な方向に測定した、半導体基板の一方主面側でのバイアホールの寸法が、ゲートフィンガ長またはエミッタフィンガ長以上の長さを有しているため、当該高出力半導体デバイスの温度上昇が周囲に影響を及ぼすことを抑制することができる。また、バイアホールによる利得の低下を防ぐ効果は、損なわれることはない。

【0029】この発明に係る高出力半導体デバイスにおいて、当該高出力半導体デバイスをユニットセルとして、バイアホールを共通にして複数のユニットセルが並列接続されるように構成されると、隣り合うユニットセル間において、互いの温度上昇の影響を抑えることができる。したがって、同一面積で温度上昇が小さい、または、同一温度でデバイス面積が小さい、高出力半導体デバイスを実現することができる。

【0030】この発明に係る高出力半導体デバイスの設計方法によれば、平面構造の互いに異なる高出力半導体デバイスを複数種類作成し、その各特性を測定し、その結果から、所望の特性を得るために必要な高出力半導体デバイスを選び、この選ばれた高出力半導体デバイスの平面構造を、目的とする高出力半導体デバイスの平面構造として採用するので、目的とする高出力半導体デバイ

スの設計を、少ない設計回数で実現することができ、結果として、高出力半導体デバイスの低価格化に寄与することができる。

【0031】この発明に係る半導体集積回路によれば、高出力半導体デバイスの近くに他の回路素子を配置することができるので、集積回路チップの面積を小さくすることができる。また、回路設計において、シミュレーション精度を上げることができるので、半導体集積回路の設計回数を低減でき、結果として、半導体集積回路の低価格化に寄与することができる。

【図面の簡単な説明】

【図1】この発明の一実施形態によるFET 21を図解的に示す平面図である。

【図2】図1の線I—Iに沿う断面図である。

【図3】この発明の他の実施形態に係るFET 21aを示す、図1に相当する図である。

【図4】この発明のさらに他の実施形態に係るFET 21bを示す、図1に相当する図である。

【図5】この発明にとって興味ある従来のFET 1を示す、図1に相当する図である。

【図6】この発明にとって興味ある従来の他のFET 1aを示す、図1に相当する図である。

【符号の説明】

21, 21a, 21b FET (高出力半導体デバイス)

22 半導体基板

24 ソース電極

25 ゲート電極

26 ドレイン電極

27 ソースフィンガ

28 ゲートフィンガ

29 ドレインフィンガ

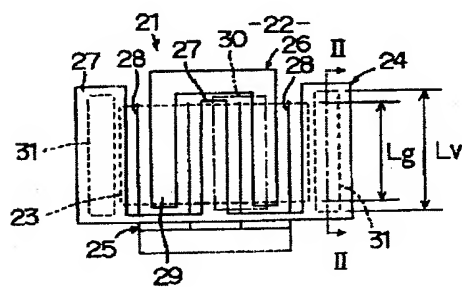
30 単位FET

31 バイアホール

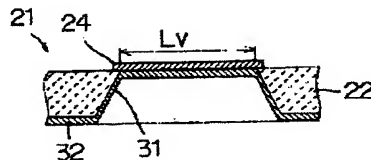
32 導電膜

33, 34 ユニットセル

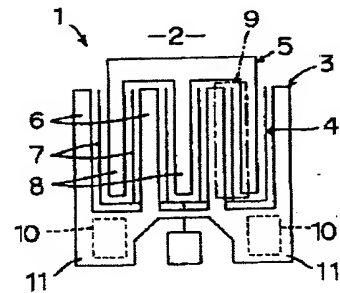
【図1】



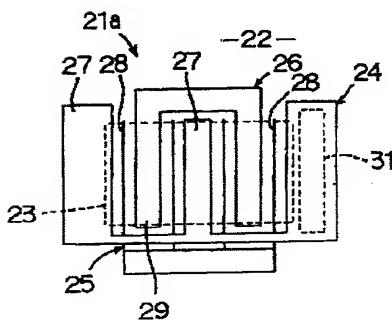
【図2】



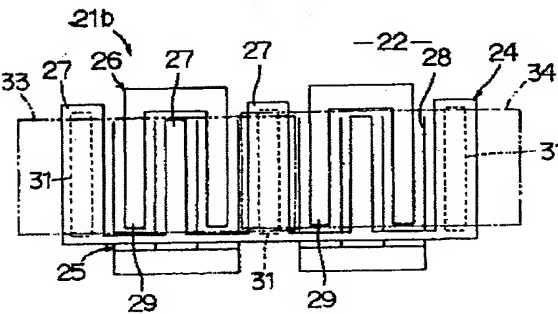
【図5】



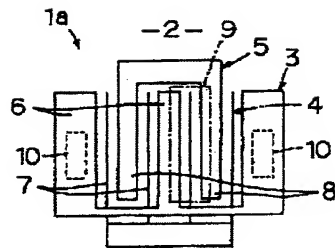
【図3】



【図4】



【図 6】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/331

29/73

27/095

識別記号

F I

H 0 1 L 29/80

E